通信教育講座「システムLSI設計のためのVerilog-HDL講座」
講座案内

2005年2月1日
株式会社エッチ・ディー・ラボ

●はじめに

日本の半導体産業は，主力をメモリからシステムLSIに移行しつつあります。しかしディジタル家電などの開発に欠かせない主要な部品であるシステムLSIは，設計できる技術者が不足しており，技術者教育が急務になっております。

この度弊社では，大手半導体メーカーを中心とした技術者教育で培ったノウハウをもとに，システムLSI設計者向けの通信講座「システムLSI設計のためのVerilog-HDL講座」を開講しました。実績のあるマルチメディア教材を用いて懇切丁寧な教育指導を行いますので，システムLSI設計の初学者でも実務設計できる内容を習得できます。

●受講対象

・理工系大学で電子・電気工学を学ばれた方，または同等の知識を有する方。
・Windows系OSのパソコンを所有している方。

●講座の特徴

・回路記述言語（Verilog-HDL）による論理回路設計講座です。
・高度な技術を要するHDL設計技法を，基礎からやさしく解説しています。
・実績のあるマルチメディア教材「HDL Endeavor Verilog-HDL」を用いてパソコン上で学習します。
・テキストおよび課題は，教材のCD-ROMにすべて含まれています。
・受講した履歴がパソコン上に保存されますので，この情報をフロッピーディスクで弊社に送付していただき，弊社講師が修了認定を行います。

●講座内容

ST: HDL設計の手順や用語
- ST はじめに

E: Verilog-HDLの基本
- E1 簡単な組み合わせ回路の記述
- E2 簡単な順序回路の記述
- E3 シミュレーションと論理合成体験
- E4 基本文法1
- E5 基本文法2
- E6 基本記述スタイル

C: 回路記述
- C1 ゲート回路とセレクタの記述
- C2 デコーダとエンコーダの記述
- C3 演算回路の記述
- C4 順序回路の基礎
- C5 フリップフロップの記述
- C6 カウンタとシフトレジスタの記述
- C7 ブロック図から回路記述へ
- C8 回路記述と動作確認

T: テストベンチ
- T1 テストベンチの基礎
- T2 テストベンチ向き文法
- T3 システムタスク
- T4 テストベンチの各種テクニック
- T5 taskを用いたテストベンチ
- T6 回路検証の実際

S: 論理合成
- S1 論理合成の基礎
- S2 各種制約条件
- S3 論理合成に適した回路記述
- S4 論理合成の実際
- S5 スクリプトを用いた論理合成

O: 記述上の各種ヒント
- O1 プライオリティエンコーダ
- O2 記述順序による問題点
- O3 ステートマシンの回路記述
- O4 パラメタライズ
- O5 ラッチ生成の回避
- O6 さまざまな記述
- O7 コンパイラ指示子
- O8 シミュレーションモデル

L: 論理回路
- L1 論理回路の基礎
- L2 組み合わせ回路
- L3 順序回路
- L4 ステートマシン

●教材内容

・マルチメディア教材「HDL Endeavor Verilog-HDL」
  - 教材CD-ROM
  - 取扱説明書
  - ステレオイヤホン
  - ユーザー登録用紙
・学習案内
・受講票
・質問用紙
・受講記録送付用フロッピーディスク
・質問用紙およびフロッピーディスク送付用封筒

●受講の手順

1. 申し込み

・1年中いつでも申し込みでき，履修期間は3ヶ月です。
・次ページの申込書に記入の上，弊社宛てFAX(もしくは郵送)します。
・受講代金(税込みで￥59,800.-)を弊社の銀行口座に振り込みます。
・入金が確認されましたら，1週間以内に教材を発送します。

2. 教材の到着，学習スタート

・教材は一括でお届けします。
・教材内容を確認していただき，学習案内をお読みの上，学習を開始します。
・まずパソコンに教材のソフトウエアをインストールします。
・教材ソフトウエアを起動したら，受講者の氏名や受講者番号などを登録します。

3. 学習の進め方

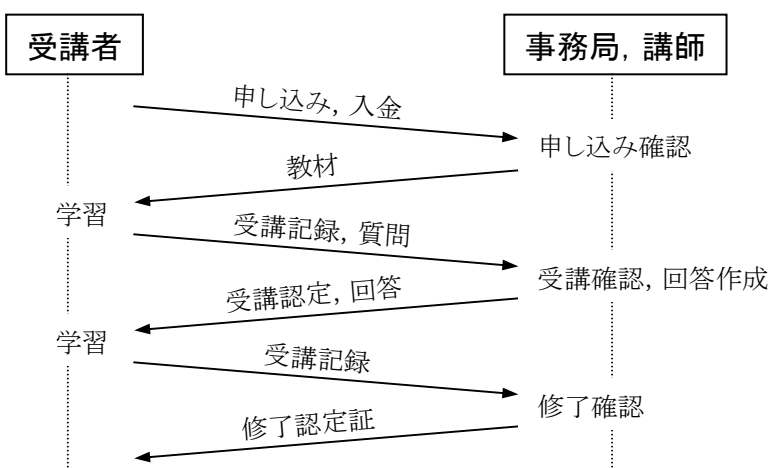
・全編がアニメーションとナレーションで解説していますので，教材を見ているだけで学習できます。
・各学習単元の最後に修了判定があり，これに合格することで履修したことになります。

4. 受講報告と質問

・教材ソフトウエアでは，受講した記録(修了した学習単元と修了日)が保存されます。
・この受講記録を，添付のフロッピーディスクにコピーして，弊社事務局あてに送付してください。
・受講記録の送付と同時に質問ができます。添付の質問用紙に質問事項を記入してください。
・受講記録および質問に対し，1週間以内に受講認定および質問の回答を送ります。
・質問には，弊社の専門講師が懇切丁寧に回答します。また受講記録をもとに，受講指導を行う場合もあります。
・受講記録と質問は，1ヶ月に一回のペースで行い，3回までできます。
・E-mailによる質問や受講記録送付は、受け付けておりません。

5. 修了認定

・履修期間は3ヶ月です。
・期間内に学習単元をすべて修了し，受講記録を弊社に送付し，弊社講師により修了が確認された場合，修了となります。
・修了された受講者には，修了証を発行します。



●マルチメディア教材「HDL Endeavor Verilog-HDL」の動作環境

・CPU	Pentium 120MHz（相当）以上
・メモリ	32MB以上
・表示出力	800×600ドット以上、64,000色以上
・CD-ROM装置	8倍速以上
・音声出力	PCMサウンド機能※
・ハードディスク	10MB以上の空き容量
・OS	Microsoft Windows 95/98/Me/NT4.0/2000

※サウンド機能を動作させるためには，ドライバソフト類が
インストールされている必要があります。

受講申込書

講座名：　「システムLSI設計のためのVerilog-HDL講座」

申込日：　年　月　日

お名前：　印

フリガナ（お名前）：

会社名：

教材発送先　〒

電話番号

FAX番号

受講者番号（弊社記入）

受講料　￥59，800．－（税込）

・受講申込書に記入の上，FAXまたは郵送してください。
・申し込み後，受講料をお支払いください。
・お支払い方法は，右記口座への銀行振り込みです。
　なお振込手数料はお客様にてご負担願います。
・ご入金確認後，教材一式をお届けいたします。

振込口座

三井住友銀行　新横浜支店
普通　6453178
（株）エッチ・ディー・ラボ

お問い合わせ先

株式会社 エッチ・ディー・ラボ　通信講座係り
〒222-0033　横浜市港北区新横浜3-1-4 プラスタリアビル6F
TEL: 045-477-4315　FAX: 045-477-4316
E-mail: endeavor@hdlab.co.jp　URL: http://www.hdlab.co.jp